

# RISC-Vシステム設計プラットフォーム

(NEDO 省エネAI半導体及びシステムに関する技術開発事業 / AIエッジコンピューティングの産業応用加速のための設計技術開発: 2022年度~2024年度)

## RISC-Vアーキテクチャの特長

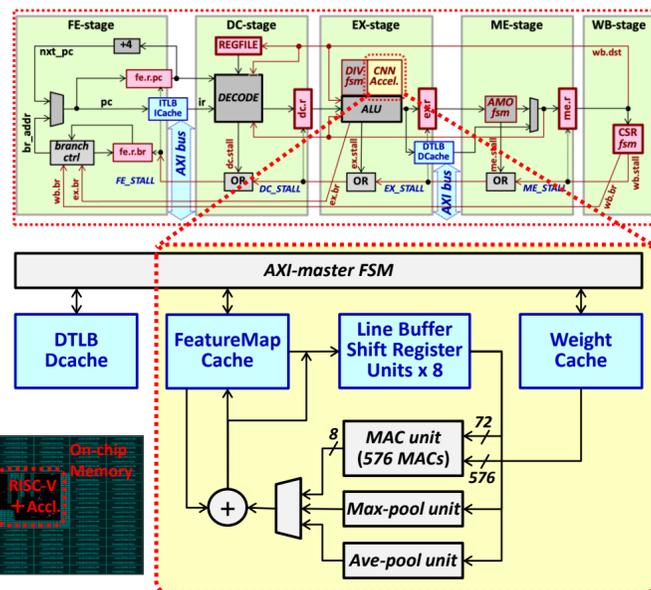
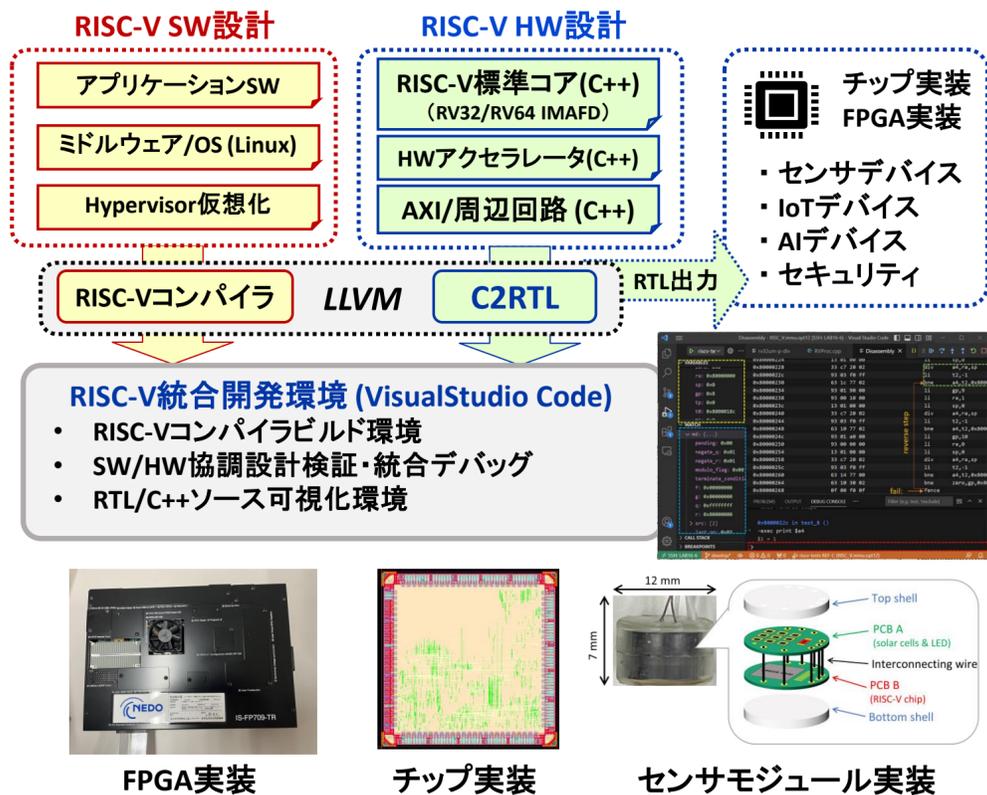
- ◆ **オープンアーキテクチャ**: ライセンスフリーのため設計・製造コストを抑制
- ◆ **多様な命令セットプロファイル**: 小型省エネ機器から高性能システムまで幅広い市場を網羅
- ◆ **SW定義の機能柔軟性と高い処理効率を両立**: 命令拡張RISC-Vプロセッサと最適化設計された複数のHWアクセラレータからなるシステム構成

## RISC-Vアーキテクチャの課題

- ◆ 多様なRISC-V命令セットプロファイルに対応したSW開発環境・デバッグ環境やHW設計プラットフォームを含めた開発エコシステムの整備
- ◆ 実用アプリケーション用の省電力機構・セキュリティ機構・仮想化などのシステム補助機能の開発
- ◆ CPU・HWアクセラレータ・インターコネクトを含むサブシステムの設計検証環境と標準化

## RISC-VシステムのHW/SW協調最適化設計環境の構築

- ◆ **C2RTL高位設計環境**: C++記述からシステムレベルHW記述を自動生成
- ◆ **SW/HW協調設計検証・統合デバッグ環境**: SW/HW設計最適化とシステムデバッグ作業の大幅効率化
- ◆ **システム性能プロファイル視覚化**: 回路遅延・回路面積・消費電力予測による早期のシステム性能評価

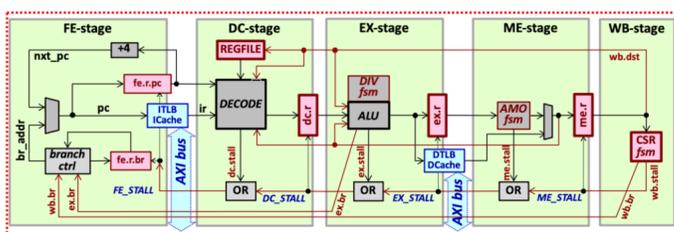


## ◆ DNNアクセラレータ搭載RV32開発

- 拡張命令によるDNNアクセラレータ制御: SW定義による機能柔軟性
- MAC Unit: 1152 MACs → 1.244 TOPs (peak) @ 540MHz
- 論理合成: TSMC 28nm CMOS → 137mW
- メモリ帯域: 17.3 GB/s (Off-Chip)、276.8 GB/s (On-Chip)
- 電力効率: 9.08 TOPs/W (peak)
- 対GPU (GTX1080Ti) 処理エネルギー効率: **1893倍** (Resnet101)
- **166倍** (YOLOv8)

## ◆ C2RTLツールによる大幅な開発効率化

- SW技術者による高性能チップ開発が可能!
- 従来チップ開発フローに比べて、開発期間の大幅短縮!



```
#define C2R_FUNC(N) __attribute__((C2RTL_function(N)))

struct CPU {
    FEState fe; // FE wires & regs
    DCState dc; // DC wires & regs
    EXState ex; // EX wires & regs
    MEState me; // ME wires & regs
    WBState wb; // WB wires & regs
    Icache<...>  icache; // I-cache/I-TLB wires & regs
    Dcache<...>  dcache; // D-cache/D-TLB wires & regs
    ...
    // other member & method definitions
    C2R_FUNC(5) // top-level IP func : 5 pipeline stages
    int step(AXI4::CH *axi_d, AXI4::CH *axi_i, unsigned intr) {
        fetch(axi_i); // update fe/icache
        decode(); // update dc
        execute(); // update ex
        memory(axi_d, intr); // update me/dcache
        writeback(); // update wb
        return (halt == 1);
    }
} cpu;
```

C++記述によるRISC-Vプロセッサ開発

# RISC-V設計拠点@東京科学大学

RISC-V Design Center @  Institute of SCIENCE TOKYO

(2025年4月設立予定)



## RISC-Vユーザ企業・機関 (IoT、AI、ロボット、車載、サーバ等)

- ・RISC-Vシステム開発スピードの大幅改善
- ・RISC-V製品の差別化・高付加価値化による国際競争力強化

### ■コア協力機関：

- ・RISC-Vシステム設計研究開発事業者
- ・(株)NSVT：C2RTL高位システム設計ツールライセンス提供
- ・NSV財団：拠点事務局サポート

### ■協力企業：HW/SWベンダー

→ユーザ企業の案件に応じた開発支援エコシステムを構築

### ■ユーザ企業：

→開発案件、ビジネス連携・パートナーシップ構築、人材育成の享受

**RISC-V設計拠点は、協力機関・企業とユーザ企業のための  
ビジネス開拓の窓口・広場を提供します。**